

NOVÉ IMPLEMENTAČNÉ MOŽNOSTI PRE ELEKTRONICKÉ LOGICKÉ OBVODY

THE NEW IMPLEMENTATION POSSIBILITIES FOR ELECTRONIC LOGICAL DEVICES

Josef Čuntala, Peter Šindler, Anna Kondelová

Katedra elektroniky a elektrotechnológie, Žilinská univerzita v Žiline, Veľký diel U-3, 01026 Žilina,
tel. 00421 – 041 513 2285, fax 004210 - 041 525 4440 e-mail kee@fel.utc.sk

Abstrakt: Tento článok sa zaoberá technologickými variantmi realizácie elektronických logických obvodov. Dôraz sa kladie na nové možnosti implementácie logického systému do jednočipových mikroelektronických obvodov založených na princípe reprogramovateľnosti a rekonfigurovateľnosti.

Summary: This article deals with various technological approaches to realization of electronic logical devices. The accent is given on new possibilities of logic system implementation into single chip microelectronic devices designed on programmable and configurable basis.

1. ÚVOD

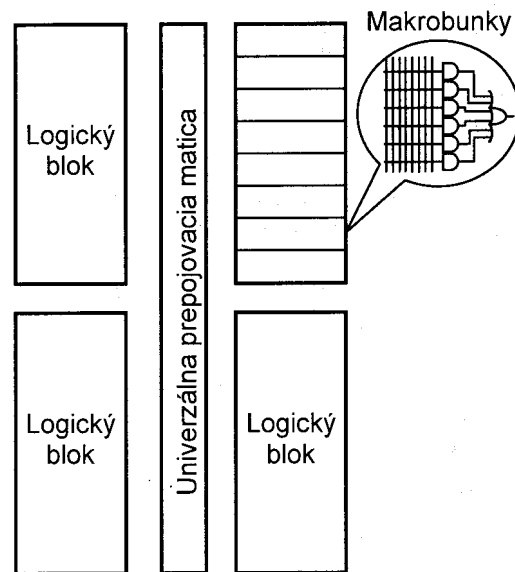
Od uvedenia elektronických mikropočítačových a programovateľných obvodov na trh komponentov výrazne vzrástli funkčné možnosti, zložitost' aj výkonnosť týchto mikroelektronických produktov.

Systémový návrhár sa snaží vytvoriť produkt s čo najlepšimi funkčnými vlastnosťami, s využitím vysokej integrácie čipu, s kratšou lehotou a nižšou cenou vývoja. Pokiaľ je to možné, je výhodné celý navrhnutý systém implementovať na jeden čip. Skĺbiť tieto predpoklady úspešného vývoja umožňuje technológia programovateľnej konfigurovateľnej logiky (PKL). Návrhár môže realizovať hardverovú podobu návrhu oveľa rýchlejšie než zákazníckym spôsobom. Ďalšou výhodou PKL v porovnaní s inými technologickými realizáciami obvodov je maximálna flexibilita návrhu. Ostatné hardverové realizácie typu ASIC (Application Specific Integrated Circuit), zákaznicke obvody nedosahujú flexibilitu PKL. PKL obvody sú cenovo výhodné predovšetkým v malej sériovej výrobe. V čoraz väčšej miere sa však uplatňujú aj na pozíciách ASIC obvodov, ktoré sú navrhované pre počty zariadení veľkej sériovej výroby.

2. ŠTRUKTÚRY PROGRAMOVATEĽNÝCH LOGICKÝCH OBVODOV

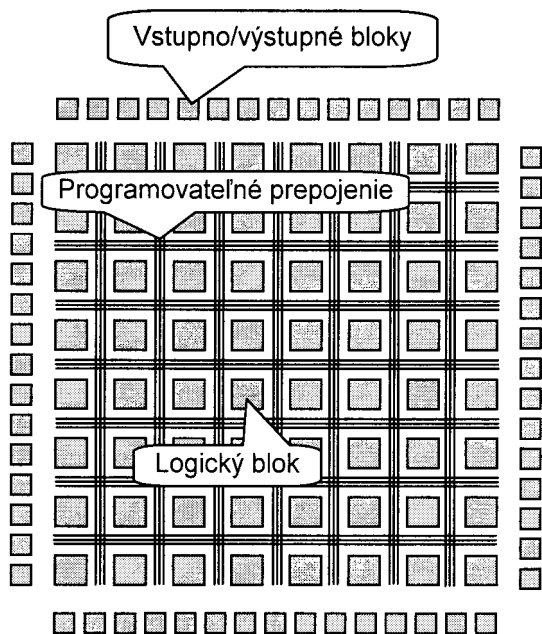
Programovateľné logické obvody (Programmable Logic Devices) majú históriu, podobne ako mikropočítače, spojenú s rozvojom technológie výroby integrovaných obvodov. Známe štruktúry PAL, GAL, PLA vyústili do dvoch základných archítktúr súčasnej generácie PLD obvodov, archítktúry CPLD (Complex Programmable Logic Device), ktorá je schematicky znázornená na obr. 1 a archítktúry FPGA (Field Programmable Gate Array) znázornenej na obr. 2.

CPLD je obvod vysokého stupňa integrácie. Obsahuje 4 až 32 PAL (Programmable Array Logic)



Obr. 1. Typická CPLD štruktúra.
Fig. 1. Typical CPLD structure

štruktúr, ktoré tvoria logické bloky. V nich sú umiestnené desiatky makrobuniek s preklápacími obvodmi a funkciou súčtového terminálu (sum-or-products). Každé makrobunke je priradený vstupný/výstupný vývod súčiastky. Logické bloky sú prepojené programovaním prepojovacej matice. CPLD obvody sú najvhodnejším riešením logických systémov s prevahou kombinačnej logiky. Štruktúra cieľovej aplikácie sa realizuje programovaním podobne ako EPROM, EEPROM alebo FLASH pamätí. Programovanie už osadených súčiastok na doske plošných spojov sa prevádza ISP (In-System Programmable) metódou. FPGA na obr.2 je mikroelektronický obvod, ktorý má na rozdiel od CPLD oveľa väčšiu logickú kapacitu a neporovnateľne väčšie množstvo preklápacích obvodov usporiadaných do logických blokov. Po obvode čipu sú umiestnené programovateľné vstupy/výstupy viazané na vývody. Typický FPGA



Obr. 2. Štruktúra FPGA
Fig. 2. Structure of FPGA

obvod obsahuje desiatky až tisíce logických blokov a odpovedajúcich preklápacích obvodov. Vysoko sofistikovaný vývojový softvér umiestňuje a prepája jednotlivé syntetizované užívateľské logické celky v čípe podľa zadania.

3. VARIANTY UPLATNENIA PKL PRI NÁVRHU VSTAVANÝCH MIKROPOČÍTAČOVÝCH APLIKÁCIÍ

Obvody PKL sa úspešne používajú pri návrhu mikropočítačových aplikácií.

Štandardný samostatný mikropočítač (stand-alone standard microcontroller) postačuje len pre jednoduché aplikácie. Pri populárnych mikropočítačoch je vývoj aplikácie rýchly a cena obvodu nízka. Flexibilita návrhu pre iné aplikácie je možná len v softverovej oblasti. V tomto type návrhu existuje veľké riziko technologického zostarnutia mikropočítača.

Zdokonalený druh mikropočítača, ktorý odvodený od nezmenenej CPU jednotky, sa nazýva odvodený mikropočítač (microcontroller derivative). Disponuje novými možnosťami vstupu/výstupu aj pamäťového priestoru. Riziko zostarnutia mikropočítača však je aj v tomto prípade. Systémy s odvodenými mikropočítačmi majú obvykle aj slabšiu programovú podporu návrhu, čo predlžuje prípravnú fázu vývoja.

Mikropočítač s podpornými obvodmi ASIC (microcontroller with ASIC support logic) je určený pre veľké odberné množstvá resp. veľkú sériovú výrobu. Potrebné logické obvody sú riešené prostredníctvom ASIC obvodov alebo hradlových polí. ASIC však potrebuje rozsiahly a náročný proces návrhu pred začatím výroby. Vyžaduje NRE

(non-recurring engineering) náklady na výrobu masiek a minimálne odberné množstvá obvodov.

Na rozdiel od vyššie uvedených troch typov mikropočítač s podpornými obvodmi CPLD/FPGA (microcontroller with support logic) na jednom čípe je určený aj pre malé odberné množstvá resp. malú sériovú výrobu. Potrebné logické obvody sú implementované do CPLD alebo FPGA obvodu. Návrh môže prebiehať veľmi rýchlo, zvlášť ak sa použijú hotové riešenia alebo IP jadra. V závere minulého storočia sa stávajú PKL základňou na implementáciu mikropočítača ponúkaného vo forme IP (Intellectual Property) softverového obvodu. Zvyšná časť čípu sa použije na implementačné rozšírenie aplikácie. Takýmto spôsobom sa môže na jeden čip umiestniť celá mikropočítačová aplikácia (system-on-chip). Novou skupinou programom konfigurovateľných obvodov je konfigurovateľný procesor. Je to obvod najvyššej integrácie obsahujúci vnorený procesor s funkčnými blokmi ako napríklad UART, DMA. Blok programovateľnej logiky typu CPLD alebo FPGA technológie môže flexibilne dopĺňať funkčné vlastnosti užívateľskej aplikácie.

4. MIKROPROCESOR, MIKROPOČÍTAČ AKO IP-JADRO

Súčasne dostupné obvody umožňujú dva postupy vytvárania vstavaných štruktúr a to hardverovú a softverovú. V prípade hardverovej je dodávateľom spravidla výrobca, v prípade softverovej špecializovaný tím návrhárov. Pre pomenovanie takejto štruktúry sa vžil pojem IP-Core (Intellectual Property Core), čo dobre vystihuje povahu: ide o určitý intelekt (intelektuálne funkcie) vstavaný do obvodu a je k dispozícii návrhárovi cieľovej aplikácie. Cieľom je hladší a rýchlejší návrh aplikácie a väčšia spoľahlivosť.

Hardverový návrh vedie k vysokej výkonnosti a k menšej kapacite, ploche čípu a tým je efektívnejší. Na druhej strane nemusí byť vyhovujúci pre všetky budúce modifikácie cieľovej aplikácie. Softverový návrh je každopádne flexibilnejší a nepredpokladá špeciálne postupy potrebné pre hardverový spôsob vo fáze návrhu základného obvodu. Do určitej miery je kombinovaný, obvod musí svojou štruktúrou vyhovovať požiadavkám na vytvorenie príslušného funkcionálneho jadra nejakou formou programovania - konfigurovania.

Z hľadiska technologickej nezávislosti a prenesiteľnosti riešenia softverový návrh využíva návrhové jazyky vysokej úrovne (Verilog, VHDL), ktoré spravidla nevyžadujú štandardné knižnice či štandardné bunky obvodu a teda návrh sa dá urobiť systémovo nezávislým. Hardverové jadrá sú naproti tomu veľmi závislé na použitom type obvodu a propozíciách jeho výrobcu, okrem toho ich implementácia môže mať aj niektoré nežiadúce vedľajšie efekty ako napríklad nemožnosť zmeniť

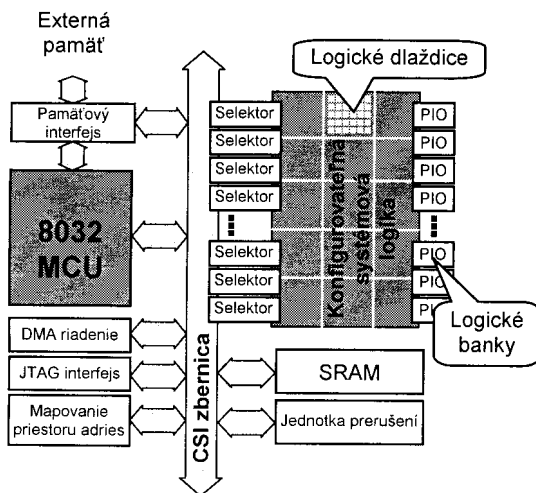
celkové časovanie obvodu aj keď cieľová aplikácia to môže niekedy vyžadovať. Napokon si treba uvedomiť aj vysoké náklady na akékoľvek úpravy a tiež časovú a technologickú náročnosť tohoto procesu.

Z hľadiska optimalizácie sú hardverové jadrá optimalizované raz - počas návrhu celého obvodu. Výrobca nebude mať snahu dodávať príliš široké spektrum implementovaných jadier, pretože to ohrozuje sériovosť výroby. Softverové jadrá, naproti tomu, vyžadujú iba určité predpoklady na ich implementáciu, záleží či jadro je vo forme mikroprocesora (mikropočítača) prípadne logického mikrokontroléra. Vo všetkých prípadoch má návrhár jadra široké možnosti vplyvu na výslednú implementáciu a hlavne má možnosť, ak to je požadované, vytvoriť celé spektrum jadier cieľených na koncovú aplikáciu na nejakom hostiteľskom systéme a má možnosť ich modifikovať. V oboch prípadoch - hardverových aj softverových jadier má návrhár možnosť testovať ich ešte pred implementáciou.

Z pohľadu zákazníckej prispôbitelnosti môže byť hardverové jadro do určitej miery modifikovateľné, spravidla sa jedná o redukciu jeho funkcií. Naproti tomu softverové jadro môže byť dobre modifikovateľné v oboch smeroch, pričom redukcia funkcií môže uvoľniť potrebné bunky pre vlastnú, cieľovú aplikáciu.

5. KONFIGUROVATEĽNÉ SYSTÉMY NA ČIPE CSoC (Configurable System on Chip)

Typická aplikácia jednočipového mikroprocesora má centrálnu procesorovú jednotku, zbernicu, systémovú pamäť a vstupné/výstupné obvody. Každá aplikácia je špecifická a na rozdiel od PC aplikácií v oblasti jednočipových návrhov neexistujú všeobecné štandardy.



Obr. 3. Triscend E5 - blokový diagram konfigurovateľného obvodu

Fig. 3. Triscend E5 - block diagram of configurable

CSoC firmy Triscend Corporation označený E5 je obvod, ktorý dáva návrhárovi k dispozícii kompletnú riadiacu logiku na jednom čipe. Konfigurovateľnosť obvodu umožňuje hardverovú aj softverovú flexibilitu systému. Na obrázku 3 je bloková schéma tohto obvodu. Štandardný procesor (8032 MCU) dáva možnosť využiť už existujúce softverové aplikácie. MCU má k dispozícii DMA kontroler, ktorý zvyšuje rýchlosť prístupu do SRAM pamäti a eliminuje externé latch-prvky potrebné pre časové multiplexovanie adres/dát.

Na čipe je 8K až 64K bytová pamäť (SRAM) dát a programov pre procesor, ktorá slúži tiež ako buffer pre DMA kontroler. Čip obsahuje CSI zbernicu (Configurable System Interconnect bus), ktorá zabezpečuje jednocyklový prenos dát a programovateľné dekódovanie adres pre periférne obvody zabudované na čipe. Programovateľné vstupno/výstupné vývody (PIO) pracujú nezávisle od zbernice a sú viazané na programovateľné logické jadro na čipe. Týmto vývodom možno priradiť neštandardné vlastnosti ako logický zisk, rýchlosť nábehu výstupu, požadovanú logickú úroveň výstupu, voľbu kombinačného alebo registrového vstupu/výstupu a nízky odber nevyužitých vstupov/výstupov.

Programovateľná logika CSL (Configurable System Logic) má zabudovaný odlašovací hardver s JTAG interfejsom a prerušovacou jednotkou. CSL obsahuje 16 logických bánk. Každá logická banka obsahuje 128 logických buniek a 8 selektorov. V logickej bunke je 4-vstupová prehliadacia tabuľka (look up table) s 1-bitovým registrom. Logická banka s priradenou prepojovacou maticou tvoria logický celok nazvaný logická dlaždice (logic tile). Konfigurovateľná systémová logika má kapacitu približne 30 000 programovateľných logických hradiel.

Architektúra CSL pripomína pravidelnú architektúru FPGA. Kapacitou sa CSL vyrovná strednej triede komerčne vyrábaných obvodov FPGA.

6. ZÁVER

Moderné návrhy elektronických systémov sú spájané so snahou umiestniť celý návrh na jeden čip integrovaného obvodu. Trh elektronických komponentov ponúka programovateľné súčiastky, v ktorých sa dá implementovať návrh v procedurálnej alebo súbežnej podobe oddeleným alebo súbežným spôsobom. Ako ukázali ponúkané riešenia, návrhár má k dispozícii širokú platformu pre rozhodovanie, či použiť obvod zameraný na úzku triedu aplikácií (vstavaný mikrokontroler) alebo obvod s najväčšou flexibilitou - konfigurovateľný procesor. Isté implementačné problémy sprevádzajú súbežný procedurálny a štruktúrny návrh. Procesy návrhu používajú

vzájomne odlišné postupy softverového vývoja a využívajú zdrojové programy písané v odlišných jazykoch – assembler, C jazyk, PALASM, VHDL, atď. V súčasnosti je snaha tieto odlišné cesty priblížiť aspoň do polohy integrovaného návrhového prostredia.

LITERATÚRA

[1] Tavana, D., Knapp, S.: A Configurable System-on-Chip Device Facilitates Customization and Reuse, DesignCon 2000 conference, Santa Clara Convention Center in California, Santa Clara, CA, February 1 - 2, 2000.

[2] Ziklik, A., Knapp, S.: Using Programmable Logic to Compress Embedded System Design Cycles, Configurable Embedded Systems, Embedded System Conference, November 4, 1998

[3]
http://www.embedded.com/db_area/8051_2002/1triscend.html